

PAT-NO: JP403292762A
DOCUMENT-IDENTIFIER: JP 03292762 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: December 24, 1991

INVENTOR-INFORMATION:

NAME
OBARA, FUMIO
KAWAI, TOSHIYUKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NIPPON SOKEN INC	N/A

APPL-NO: JP02096094
APPL-DATE: April 10, 1990

INT-CL (IPC): H01L023/32

ABSTRACT:

PURPOSE: To improve a chip in positional accuracy and to make wirings between a board and a semiconductor chip very small in pitch by a method wherein a semiconductor chip where an element is formed is arranged in a fixing hole provided to a board confronting the surface of the board opposed to its primary surface at a frame.

CONSTITUTION: A semiconductor chip 2 is inserted into a tapered hole 4 provided to an Si substrate 1, the upside 2a of the chip is aligned with the underside of a chip aligning frame 9 and fixed with a

joining member 3. At this point, the peripheral part of the upside 2a of the chip 2 is aligned with the underside of the chip aligning frame 9, whereby the semiconductor chip 2 can be easily positioned to the Si substrate 1. As the semiconductor chip 2 is arranged coming into close contact with the Si substrate 1, and a flattening layer and a wiring can be easily interposed between the semiconductor chip 2 and the Si substrate 1. The level difference between the upside of the semiconductor chip 2 and the upside of the Si substrate 1 made by the thickness of the chip aligning frame 9 is relaxed by a flattening layer 8, and an element provided to the Si substrate 1 and an element provided to the semiconductor chip 2 are connected together by a thin film wiring 6 through the intermediary of electrodes 5 and 10 respectively.

COPYRIGHT: (C)1991,JPO&Japio

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月24日

H 01 L 23/32

E

6918-4M

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-96094

⑰ 出 願 平2(1990)4月10日

⑱ 発 明 者 小 原 文 雄

愛知県西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内

⑲ 発 明 者 河 合 利 幸

愛知県西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内

⑳ 出 願 人 株式会社日本自動車部品総合研究所

愛知県西尾市下羽角町岩谷14番地

㉑ 代 理 人 弁理士 岡 部 隆

外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) それを貫通するようにして固定用穴が配設されるとともに、その主表面側において、前記固定用穴の中心方向へ突出する梁状の枠部が設けられた基板と、

素子が形成された半導体チップと、

前記梁状の枠部における前記基板の主表面側に対向する面と、前記半導体チップの主表面周縁が相対するように、前記半導体チップを前記固定用穴に接合する接合部材と、

前記基板および半導体チップ上に跨って形成された平坦化層と、

前記素子に電気接続し、その少なくとも一部が前記平坦化層上に形成された配線と

を備えることを特徴とする半導体装置。

(2) 前記梁状の枠部は、前記基板の主表面側よりも該主表面に対向する面側の方が前記固定用穴中心に向かう突出高さが大となるように傾斜づけられていることを特徴とする請求項1記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に係り、特に集積化技術において高密度実装で信頼性の向上に有利なものに関する。

〔従来の技術〕

近年、半導体装置の一種であるハイブリット型集積回路装置において、半導体チップの微細化に伴い、高密度実装、回路の高速動作、コンタクト部品点数の低減等を実現すべく、配線パターンを微細化することが要求されている。

例えば、国際公開W O 9 0 / 0 1 2 1 5 号の

「半導体装置」には、半導体チップの位置精度を向上させることにより配線ピッチを大幅に縮小させることに着目し、基板にテーパ状の固定用穴を設け、この固定用穴に対応したテーパ部が設けられた半導体チップを埋め込み接着するようにして、チップ位置精度を向上するようにしたものが開示されている。

〔発明が解決しようとする課題〕

しかしながら、このものは基板側に設けられたテーパ状の固定用穴に対応すべく、半導体チップ側にテーパ部を設けているために、能動素子等の形成された半導体チップの主側面面積に制約を受け、テーパ部形成領域のために半導体チップを微細化できないという問題がある。

また、基板側固定用穴と半導体チップ側との各々のテーパ角度を同じくするために、この各々のテーパ角形成時に異方性エッチングを用いており、良好に制御性よく異方性エッチングするために、例えば基板面方位を(100)面とした際、半導

体チップの面方位を(100)面に設定する等、半導体チップの面方位が基板の面方位によって制約を受けてしまうという問題がある。このことは、基板の面方位を(100)面とした時、半導体チップとしては、MOS型素子に有利な(100)面のものに対しては適しているものの、バイポーラトランジスタのように(111)面に有利なものを実装する場合不適当となってしまうことになる。

本発明は上記問題点に鑑みてなされたものであり、半導体チップ側に制約をうけることなく、配線ピッチを微細化することが可能な半導体装置を提供することを目的とする。

〔課題を解決するための手段〕

上記目的を達成するために、本発明による半導体装置は、

それを通るようにして固定用穴が配設されるとともに、その主表面側において、前記固定用穴の中心方向へ突出する梁状の枠部が設けられた

基板と、

素子が形成された半導体チップと、

前記梁状の枠部における前記基板の主表面側に対向する面と、前記半導体チップの主表面周縁が相対するように、前記半導体チップを前記固定用穴に接合する接合部材と、

前記基板および半導体チップ上に跨って形成された平坦化層と、

前記素子に電気接続し、その少なくとも一部が前記平坦化層上に形成された配線と

を備えることを特徴としている。

〔作用および効果〕

すなわち、素子が形成された前記半導体チップはその主表面周縁において、前記梁状の枠部における前記基板の主表面側に対向する面と相対するようにして、前記基板に設けられた固定用穴に配置される。そのため前記半導体チップの前記基板に対するチップ位置精度は容易に向上され、基板-半導体チップ間の配線ピッチを微細化すること

ができる。

また、このとき半導体チップは通常用いられる直方体形状のものを実装することができ、従来のもののように特別に挿嵌用のテーパ部を設ける必要もなく、該テーパ部のために基板側と面方位等の整合をとる時、制約をうけることもない。

従って本発明の半導体装置によれば、半導体チップ側に制約をうけることなく、配線ピッチを微細化することができるという優れた効果がある。

〔実施例〕

以下、本発明を図に示す実施例に基づいて説明する。

第1図(a)、(b)は本発明の一実施例を示す半導体装置である。なお、第1図(a)は縦断面図で、同図(b)に示す平面図におけるAA断面図である。

第1図において、1は予め半導体素子や抵抗素子、コンデンサおよび配線等が作り込まれている面方位(100)、(110)等のシリコン(Si)基板である。このSi基板1には、KOH等アル

カリ溶液を用いた異方性エッチングにより、制御性よく、固定用穴としてのテーバ穴および枠部としてのチップ合せ梁9が形成されている。このテーバ穴4は後述する半導体チップ2を挿入、固定するためのものであり、チップ合せ梁9は該半導体チップ2上面周縁と面合せするためのものである。なお、このチップ合せ梁9を構成するテーバ穴4上端部4aの形状は、該半導体チップ2の上面2aと同一形状、もしくはやや大きめ(+10数 μ m程度未満)の形状とされている。

一方、半導体チップ2は、SiあるいはGaAs等の半導体基板にトランジスタ、コンデンサ、抵抗等の所定の素子を形成しチップダイシングした電子デバイスである。該半導体チップ2は、上記Si基板1に設けられたテーバ穴4に挿入され、その上面2a周縁をチップ合せ梁9下面にて面合せされ、接合部材3により固定される。このとき、半導体チップ2上面2a周縁とチップ合せ梁9下面が面合せされることにより、半導体チップ2のSi基板1に対する位置決めが容易となる。また、

形成され、電極パッドが形成される。

なお、上述構成において、接合部材3は半導体チップ2とSi基板1を接着できるものであればよく、望ましくは、配線6等の材料に対する加熱限界温度(Alの場合500℃程度)を考慮した素子の耐熱温度以下で処理でき、さらに保護膜7の形成温度(350℃～400℃程度)等を考慮して耐熱温度が高く、そして接着部位に容易に充填できる材料が選定される(例えばポリイミド樹脂)。また、配線6の材料は電気的結合ができるものであればよく、例えばAl、Cu、Au、W、Mo、poly Si等がある。また、平坦化層8は絶縁性の材料であればよく、望ましくは、大きな段差を被覆吸収でき、加工性に優れた材料がよい(例えばポリイミド樹脂)。また、保護膜7としては通常のICの保護膜に使われるものと同様の材料でよく、例えばプラズマCVDによる二酸化シリコン、窒化シリコン膜等がある。

次に本実施例の製造工程を第2図(a)～(f)を用いて説明する。なお、この第2図は概略構造のみを

Si基板1上面において該チップ合せ梁9により半導体チップ2はSi基板1との間とすき間なく配置されているため、後述の半導体チップ2とSi基板1との間の平坦化層、配線の形成が容易となる。

そして、チップ合せ梁9の厚みによって構成された、半導体チップ2上面とSi基板1上面との段差は、平坦化層8により緩和され、Si基板1側の素子と半導体チップ2側の素子とが各々電極5、10を介して薄膜配線6により接続されている。このとき、チップ合せ梁9内縁は上述の異方性エッチングによりテーバ状とされており、前記段差の影響を低減するとともに上層のステップカバレージを向上しており、特に薄膜配線6の段切れを抑制している。

以上の構成により、Si基板1側と半導体チップ2側との配線が微細化され、モノリシック並に実装可能となる。

そして、さらに全表面上には保護膜7が形成され、必要に応じて電極取出し用のスルーホールが

示しており、実際の素子部(Si基板1および半導体チップ2に構成された素子)の詳細構造は省略してある。

まず、通常の半導体プロセスによりSi基板1表面に半導体素子(図略)を形成し、該半導体素子の電極5を覆う保護膜11およびSi基板1の裏面を覆う保護膜11'(11および11'はSiO₂、Si₃N₄等により形成されている)を所望の形状にパターニングし、第2図(a)に示す如く、保護膜11、11'をエッチングマスクとしてアルカリ溶液(KOH、NaOH溶液等)により基板1両主面を異方性エッチングする。

この異方性エッチングにより形成されるテーバ穴4の上端部サイズW₁、およびチップ合せ梁9の厚みhおよび長さbはエッチング時間を制御することにより、または厚みをモニタするマーカーを利用したりすることで、数 μ m以下の精度で加工することができる。ここで各部位の寸法例を以下に記す。W₁のサイズとしては挿入する半導体チップサイズW₀より若干大きくするように設計

すればよく ($W_1 = W_0 + \alpha$)、Si 基板 1 の板厚 t_1 のばらつき ($\pm 10 \mu\text{m}$ 程度) を考慮して $\alpha = 14 \mu\text{m}$ 以下の値と設定するとよい。また、このときチップ合せ梁 9 の厚み h は後述する平坦化を考慮して $30 \sim 10 \mu\text{m}$ 程度とするとよく、さらに梁 9 の長さ b は $60 \mu\text{m} \sim 100 \mu\text{m}$ 程度に設定するとよい。なお、基板 1 表面の部位 A と裏面側部位の B の位置合せは、両面マスクアライナ等を用いることにより $\pm 5 \mu\text{m}$ 以下の位置精度を確保することができる。この場合、後にチップ基板間の相対的位置精度を $20 \sim 30 \mu\text{m}$ 程度以下におさめることができる。なお、テーパー穴 4 およびチップ合せ梁 9 に異方性エッチングにより、形成されるテーパー角 θ は、Si 基板 1 として面方位 (100) 面の Si 基板を用いる場合には 54.7° となり、面方位 (110) 面の Si 基板を用いる場合には 35.3° となる。

また、第 2 図(b)に示す如く、所定の厚さ t_0 を有する半導体基板に所定の半導体素子 (図略) を形成し、所定のチップサイズ W_0 の形状にカット

して半導体チップ 2 を形成する。この半導体チップ 2 は、化合物半導体 (例えば GaAs) 素子をはじめ Si のパワー素子、メモリ素子等の半導体素子であって、必ずしも Si 基板 1 に形成される素子と同じ製造プロセスで形成されるものでなくともよい。なお、半導体チップ 2 には電極 10 及び保護膜 12 が形成されている。

次に、第 2 図(c)に示す如く、Si 基板 1 のテーパー穴 4 に半導体チップ 2 を配置し、接合部材 3 にて接着する。このとき、接合部材 3 は半導体チップ 2 をテーパー穴 4 に挿入してチップ合せ梁 9 で支持した後、チップ裏面側から充填する。このため接合部材 3 は例えばポリイミド樹脂のように柔軟性のある材料が望ましい。また、このとき接合部材 3 が半導体チップ表面側にしみ出すことがないように充填する。そして、この後熱処理を行い接合部材 3 を硬化して固定する。

半導体チップ 2 を固定した後、チップ側電極 10 と基板側電極 5 を電気的に接続する上でより小型化し配線の信頼性を向上させるため通常の半導体

プロセスを用いて薄膜配線する。このためチップ合せ梁 9 とチップ 2 表面との段差をステップカバレッジよく配線できる状態にまで平坦化する。すなわち、第 2 図(d)に示す如く、該段差を吸収するように、該段差の角を緩和する平坦化層を塗布する。この平坦化層 8 は数 $10 \mu\text{m}$ 程度の段差を覆うことのできるものであれば何でもよく、例えばポリイミド樹脂をスピンコート法を用いて塗布するようにしてもよい。なお、ポリイミド樹脂は必要に応じてパターニングし、電極 5 および 10 での電気的接続を妨げないようにしている。この後、第 2 図(e)に示す如く、アルミニウム等により電極膜を被着しパターニングすることにより所望の配線 6 を形成する。さらに、第 2 図(f)に示す如く、接合した素子表面全体にパッシベーション用の保護膜 7 (例えば P-SiN 膜) を形成し、第 1 図に示す半導体装置が製造される。

上記一実施例によれば、チップ合せ梁 9 を上面 4a に有するテーパー穴 4 内に半導体チップ 2 を配置し接着固定しているため、製造過程において作

業性がよく、チップ 2 の位置決めもテーパー穴上面 4a のチップ合せ梁 9 により数十 μm 以下の精度で位置決めをすることができ、基板-チップ間の配線を微細化することができる。このとき半導体チップ 2 形状は通常の直方体形状でよく、前述の国際公開 W O 9 0 / 0 1 2 1 5 号公報に開示されたものの如く、半導体チップ 2 上面をテーパー状に加工する必要がなく、またチップの種類も基板 1 に合わせて Si (100)、Si (110) に制約されることもない。

さらに、この国際公開 W O 9 0 / 0 1 2 1 5 号公報には基板側のテーパー穴上面に、基板-チップ間の段差の影響を低減するべくテーパー穴と逆の角度を有するテーパーを設けるものが開示されているが、半導体チップのテーパー部を基板側テーパー穴に挿入するために、基板表面上において基板-チップ間には小さいながらも溝が形成されることとなり、平坦化工程を生産性、歩留まり等の点において困難なものとするのが考えられるが、上記一実施例ではそのような不具合を生じることなく平

垣化工程が容易となり、かつ生産性も向上する。

なお、上記一実施例においては半導体チップ１個を基板に実装するものを用いて説明したが、第３図に示す如く、複数個実装するようにしたものであってもよい。

さらに、S1基板1は単に配線用基板として用いるようにしたものであってもよい。

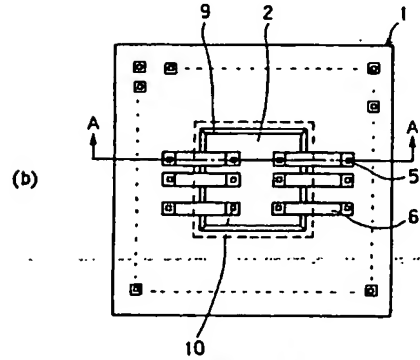
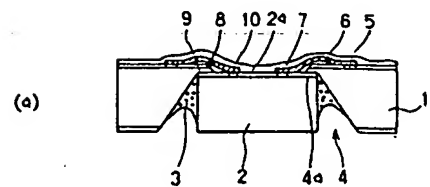
4. 図面の簡単な説明

第1図(a)、(b)は本発明一実施例を示す半導体装置構造図で、各々縦断面図、平面図、

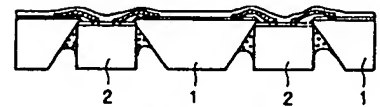
第2図(a)~(f)は本発明一実施例の製造過程を説明する半導体装置縦断面図、

第3図は本発明他の実施例を示す半導体装置の縦断面図である。

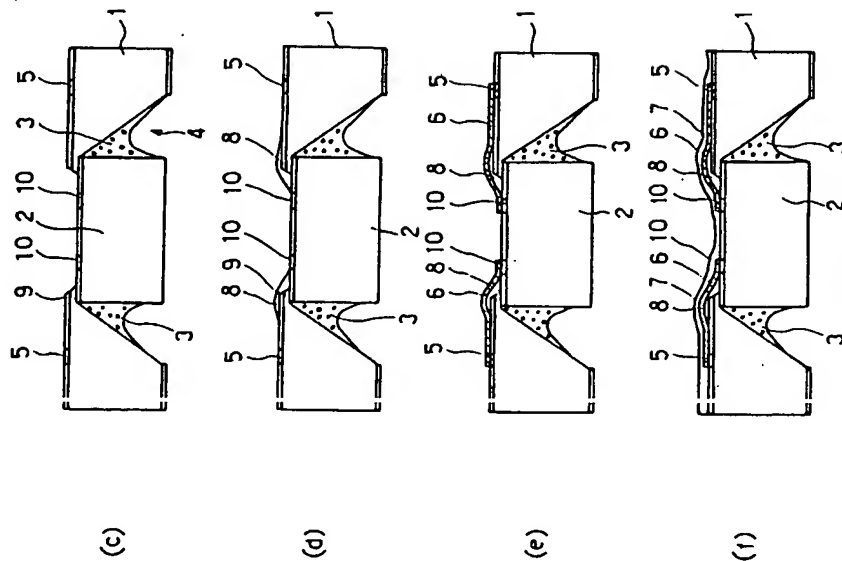
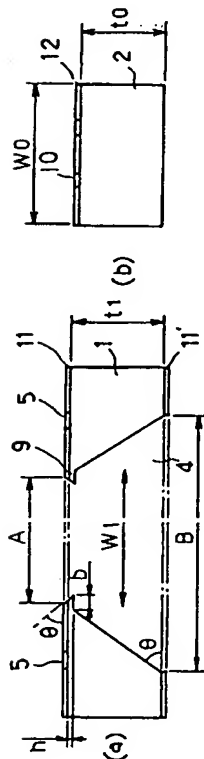
1…Si基板、2…半導体チップ、3…接合部材、4…テーパ穴、5…基板側電極、6…薄膜配線、7…保護膜、8…平坦化層、9…チップ合せ梁、10…チップ側電極。



第 1 圖



第 3 圖



第二圖